

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Igarashi, et al.

Serial No. Not yet assigned

Group Art Unit: Not yet assigned

Filed: March 18, 2004

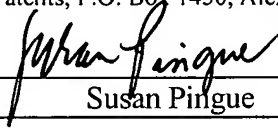
Examiner: Not yet assigned

Title: INTEGRATED CIRCUIT DEVICE, CLOCK LAYOUT SYSTEM, CLOCK LAYOUT METHOD, AND CLOCK LAYOUT PROGRAM

EXPRESS MAIL NUMBER: EV 302280425 US

DATE OF DEPOSIT: March 18, 2004

I hereby certify that this paper is being deposited with the United States Postal Service "EXPRESS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Susan Pingue

* * *

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

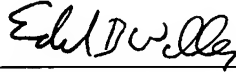
<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>MONTH/DAY/YEAR</u>
Japan	P2003-081321	March 24, 2003

The certified copy of the corresponding Convention Application is enclosed.

Respectfully submitted,

GRAY CARY WARE & FREIDENRICH LLP

Dated: March 18, 2004

By 
EDWARD B. WELLER
Reg. No. 37,468
Attorney for Applicant

GRAY CARY WARE & FREIDENRICH
2000 University Avenue
Palo Alto, CA 94303-2248
Telephone: (650) 833-2436
Facsimile: (650) 833-2001

日 本 国 特 許 庁
JAPAN PATENT OFFICE

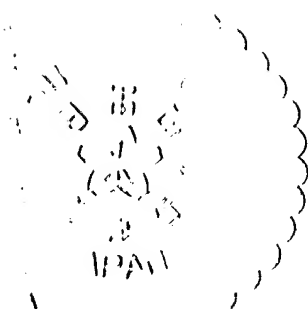
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 8 1 3 2 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 8 1 3 2 1]

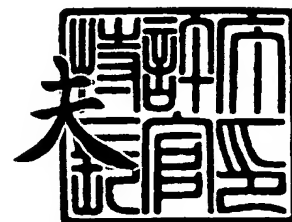
出 願 人 株式会社東芝
Applicant(s):



2 0 0 3 年 7 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 ASB027013

【提出日】 平成15年 3月24日

【あて先】 特許庁長官殿

【国際特許分類】 F02M 3/09
F04C 25/02
F16L 59/06

【発明の名称】 クロック配線、クロックレイアウトシステム及びクロックレイアウト方法

【請求項の数】 16

【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内
【氏名】 五十嵐 睦典

【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター内
【氏名】 南 文裕

【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝

【代理人】
【識別番号】 100083806
【弁理士】
【氏名又は名称】 三好 秀和
【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック配線、クロックレイアウトシステム及びクロックレイアウト方法

【特許請求の範囲】

【請求項 1】 集積回路のクロック配線において、任意の第 1 ノードと、
該第 1 ノードから分岐した複数の配線と、
該複数の配線のうちの第 1 配線に最初に現れる第 2 ノードと、
前記第 2 ノードへ入力される信号の入力方向から 90 度の角度以内の方向に存在する第 3 ノードへのみ接続する配線とを備えることを特徴とするクロック配線。

【請求項 2】 集積回路のクロック配線において、任意の第 1 ノードと、
該第 1 ノードから分岐した複数の配線と、
該複数の配線のうちの第 1 配線に最初に現れる第 2 ノードと、
前記第 2 ノードへ入力される信号の入力方向から 45 度の角度以内の方向に存在する第 3 ノードへのみ接続する配線とを備えることを特徴とするクロック配線。

【請求項 3】 集積回路のクロック配線において、任意のノードと、
前記任意のノードの次に信号が伝達される次段ノードと、
前記任意のノードと前記次段ノードを結ぶ直線方向から 90 度未満の角度の配線方向の配線のうち何れかの組み合わせからなる、目標遅延設定のための迂回クロック配線。

【請求項 4】 集積回路のクロック配線において、任意のノードと、
前記ノードの次に信号が伝達される次段ノードと、
前記任意のノードと前記次段ノードを結ぶ直線方向の象限にある配線方向の配線からなる、目標遅延設定のための迂回クロック配線。

【請求項 5】 論理回路の回路情報を入力する入力装置と、
前記回路情報を基に、半導体チップ上にルートドライバを配置し、ローカルエリアでは H ツリー型の構造で、グローバルエリアではスター型の構造でクロック配線を行うクロック配線処理部と、

前記論理回路の任意の第 1 ノードから分岐した複数の配線のうちの第 1 配線に最初に現れるノードを第 2 ノードとして特定する第 2 ノード特定部と、

前記第 1 ノードから分岐した複数の配線のうちの前記第 1 配線以外の配線に 2 番目に現れるノードを第 3 ノードとして特定する第 3 ノード特定部と、

前記第 3 ノードのうち、確定第 3 ノードを確定する第 3 ノード確定部と、

前記第 1 ノードから前記確定第 3 ノードに至るまでの配線及びノードを畳み込む畳み込み実行部

とを含むことを特徴とするクロックレイアウトシステム。

【請求項 6】 前記第 3 ノード確定部は、前記第 2 ノードへ入力される信号の入力方向から 90 度の角度以内の方向に存在する前記第 3 ノードのみを前記確定第 3 ノードとすることを特徴とする請求項 5 に記載のクロックレイアウトシステム。

【請求項 7】 前記第 3 ノード確定部は、前記第 2 ノードへ入力される信号の入力方向から 45 度の角度以内の方向に存在する前記第 3 ノードのみを前記確定第 3 ノードとすることを特徴とする請求項 5 に記載のクロックレイアウトシステム。

【請求項 8】 論理回路の回路情報を入力する入力装置と、

前記論理回路中の任意のノードと前記ノードの次に信号が伝達される次段ノードを結ぶために用いる配線方向を決定する配線方向決定部と、

容量モーメント又は遅延時間が等しくなるように前記配線方向の配線比率を算定する配線比率算定部

とを含むことを特徴とするクロックレイアウトシステム。

【請求項 9】 前記配線方向決定部は、前記ノードと前記次段ノードを結ぶ直線方向から 90 度未満の角度の配線方向のうち何れかの組み合わせを前記配線方向とすることを特徴とする請求項 8 に記載のクロックレイアウトシステム。

【請求項 10】 前記配線方向決定部は、前記ノードと前記次段ノードを結ぶ直線方向の象限にある配線方向のうち何れかの組み合わせを前記配線方向とすることを特徴とする請求項 8 に記載のクロックレイアウトシステム。

【請求項 11】 論理回路の回路情報を入力するステップと、

前記回路情報を基に、半導体チップ上にルートドライバを配置し、ローカルエリアではHツリー型の構造で、グローバルエリアではスター型の構造で初期クロック配線を形成するステップと、

前記初期クロック配線の任意の第1ノードから分岐した複数の配線のうちの第1配線に最初に現れるノードを第2ノードとして特定するステップと、

前記第1ノードから分岐した複数の配線のうちの前記第1配線以外の配線に2番目に現れるノードを第3ノードとして特定するステップと、

前記第3ノードのうち、確定第3ノードを確定するステップと、

前記第1ノードから前記確定第3ノードに至るまでの配線及びノードを畳み込むステップ

とを含むことを特徴とするクロックレイアウト方法。

【請求項12】 前記第3ノードを確定するステップは、前記第2ノードへ入力される信号の入力方向から90度の角度以内の方向に存在する前記第3ノードのみを前記確定第3ノードとするステップであることを特徴とする請求項11に記載のクロックレイアウト方法。

【請求項13】 前記第3ノードを確定するステップは、前記第2ノードへ入力される信号の入力方向から45度の角度以内の方向に存在する前記第3ノードのみを前記確定第3ノードとするステップであることを特徴とする請求項11に記載のクロックレイアウト方法。

【請求項14】 論理回路の回路情報を入力するステップと、
前記論理回路中の任意のノードと前記ノードの次に信号が伝達される次段ノードを結ぶために用いる配線方向を決定するステップと、

容量モーメント又は遅延時間が等しくなるように前記配線方向の配線比率を算定するステップ

とを含むことを特徴とするクロックレイアウト方法。

【請求項15】 前記配線方向を決定するステップは、前記ノードと前記次段ノードを結ぶ直線方向から90度未満の角度の配線方向のうち何れかの組み合わせを前記配線方向とするステップであることを特徴とする請求項14に記載のクロックレイアウト方法。

【請求項 16】 前記配線方向を決定するステップは、前記ノードと前記次段ノードを結ぶ直線方向の象限にある配線方向のうち何れかの組み合わせを前記配線方向とするステップであることを特徴とする請求項 14 に記載のクロックレイアウト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、計算機を用いた集積回路の設計技術に係り、特に集積回路のクロック配線を設計するクロックレイアウトシステム、及びクロックレイアウト方法、更にはそれにより実現されたクロック配線に関する。

【0002】

【従来の技術】

クロック配線では、誤作動を防止するため、総ての出力信号におけるスキューをなくすことが望ましい。「スキュー」とは、信号の伝播遅延のずれをいう。スキューがないことを、「ゼロスキュー」という。

【0003】

図 9 (a) に示すように、ゼロスキューを実現する方法の 1 つとして、「H ツリー型の構造」を用いたクロック配線を行う方法がある。即ち、ラッチ 115 とラッチ 116、ラッチ 117 とラッチ 118、ラッチ 119 とラッチ 120、ラッチ 121 とラッチ 122 をそれぞれ等遅延の配線 125 ～ 128 で結び、次に配線 125 と配線 126、配線 127 と配線 128 の中点をそれぞれ等遅延の配線 131、132 で結ぶ。そして更に、配線 131 と 132 の中点を等遅延の配線 141 で結ぶ。「H ツリー型の構造」は、このような配線処理を繰り返すことにより、クロックの伝播遅延の均一化を図るために用いられる構造である。

【0004】

図 9 (b) に示すように、ゼロスキューを実現する他の方法として、「スター型の構造」を用いたクロック配線を行う方法がある。「スター型の構造」とは、ルートドライバ 70 から配線 71a ～ 76a に分岐し、バッファ 61 ～ 66 を介して配線 71b ～ 76b によりラッチ 51 ～ 56 のクロック入力端に配線を行う

構造をいう。このような配線で、配線 71a～76a、配線 71b～76b の長さを均一化し、挿入されるバッファ 61～66 の数を均一化することにより、ルートドライバ 70 からラッチ 51～56 のクロック入力端に到達するクロックの伝播遅延が均一化される。

【0005】

更に、回路の性能を向上する方法の 1 つとして、ユースフルスキューを達成した回路を構成する方法がある。「ユースフルスキュー」とは、出力信号におけるスキューが、クロックと同期する範囲内にあることをいう。ツリーのリーフとなる各ノードに対して目標遅延を設定することで、ユースフルスキューは達成される。「目標遅延の設定」とは、バッファ、アンプの挿入、クロック配線の延長・短絡等によりクロックの伝播遅延を調整することをいう。

【0006】

又、伝播遅延を削減するためには、配線長を短縮し、配線抵抗を低減するのが有効である。そこで、図 1 に示すように、直交配線系 850 に加えて、斜め配線系 860 を用いることが提案されている。

【0007】

【発明が解決しようとする課題】

大規模な集積回路において、半導体チップ上に搭載された総ての回路素子を H ツリー型の構造で配線することは困難である。なぜなら、H ツリー型の構造では、図 9 (a) に示すように、それぞれの分岐点に 1 つのバッファ 150～157 が挿入されることから面積利用効率が悪く、H ツリー型の構造で配線できる範囲が制限されるからである。又、H ツリー型ではルートドライバに近づくに従い次第に電流が集中し、電流が大きくなるため、エレクトロマイグレーションが生じるからである。

【0008】

そこで、図 9 (c) に示すように、H ツリー型の構造で配線できる局所的な領域 91～96 (以下、「ローカルエリア」という) では、H ツリー型の構造を用い、H ツリー型の構造で配線できないチップの全体の領域 (以下、「グローバルエリア」という) では、スター型の構造を用いる方法が、一般的である。しかし

、グローバルエリアでルートドライバ702からの分岐が多くなると、ルートドライバ702が駆動できる電流を増やさなければならず、電流容量がエレクトロマイグレーションの制約で定まる値を超えるおそれがある。更に、ローカルエリアの数が多くなると、ルートドライバ702からローカルエリアへの配線の数が多くなり、配線占有面積や配線による消費電力が増大する。そして、ルートドライバ702やバッファ61～64からの分岐数が多くなり、ルートドライバ702やバッファ61～64付近で、セル混雑度及び配線混雑度が増大する。その結果、レイアウト設計段階で配線ショートなどが生じ、完全結線可能性（ラウタビリティ）が低下する。

【0009】

又、クロック配線の延長によりクロックの伝播遅延を調整してスキューの最小化を図る場合、延長した配線において配線容量が増加すると、信号の立ち上がり特性の低下が生じる。例えば、図5（a）に示すように、ノードP3、P4を結ぶ配線でクロックの伝播遅延を調整するために、クロック配線L3、L4により配線長を延長すると、クロック配線L3、L4は近接していることから、クロック配線L3、L4間で配線容量が増加し、信号の立ち上がり時間の増大が生じる。一方、配線容量が増加しないようにするために、近接しない配線L5、L6により配線長を延長すると、配線占有面積が増大する。

本発明は、上述のような従来の課題を解決するためになされたもので、その目的は、ローカルエリアの数が多い場合にも、ルートドライバからローカルエリアへの分岐の数を削減でき、分岐の数の制限内でエレクトロマイグレーションの制約を守り、ラウタビリティを向上させ、高集積密度かつ低消費電力で信号の立ち上がり特性の低下を防ぎつつゼロスキューを実現できるクロック配線、クロックレイアウトシステム、及びクロックレイアウト方法を提供することである。

【0010】

【課題を解決するための手段】

本発明の第1の特徴は、集積回路のクロック配線において、任意の第1ノードと、第1ノードから分岐した複数の配線と、複数の配線のうちの第1配線に最初に現れる第2ノードと、第2ノードへ入力される信号の入力方向から90度の角

度以内の方向に存在する第3ノードへのみ接続する配線とを備えることを要旨とする。直交配線系に加えて斜め配線系を用いる場合は、任意の第1ノードと、第1ノードから分岐した複数の配線と、複数の配線のうちの第1配線に最初に現れる第2ノードと、第2ノードへ入力される信号の入力方向から45度の角度以内の方向に存在する第3ノードへのみ接続する配線であることが望ましい。第1の特徴に係る発明によれば、目標遅延設定のため以外の迂回配線がなくなり、セル混雑度及び配線混雑度の増大を防ぐことができる。

【0011】

本発明の第2の特徴は、任意のノードと、この任意のノードの次に信号が伝達される次段ノードと、任意のノードと次段ノードを結ぶ直線方向から90度未満の角度の配線方向の配線のうち何れかの組み合わせからなる、目標遅延設定のための迂回クロック配線であることを要旨とする。直交配線系に加えて、斜め配線系を用いる場合は、任意のノードと、この任意のノードの次に信号が伝達される次段ノードと、任意のノードと次段ノードを結ぶ直線方向の象限にある配線方向の配線のうち何れかの組み合わせからなる、目標遅延設定のための迂回クロック配線であることが望ましい。第2の特徴に係る発明によれば、平行でない迂回クロック配線で目標遅延を設定でき、配線容量の増加、信号の立ち上がり特性の低下を防ぐことができる。

【0012】

本発明の第3の特徴は、論理回路の回路情報を入力する入力装置と、論理回路の第1ノードから分岐した複数の配線のうちの第1配線に最初に現れるノードを第2ノードとして特定する第2ノード特定部と、第1ノードから分岐した複数の配線のうちの第1配線以外の配線に2番目に現れるノードを第3ノードとして特定する第3ノード特定部と、第3ノードのうち所定の条件を満たす第3ノードを確定第3ノードとする第3ノード確定部と、第1ノードから確定第3ノードに至るまでの配線及びノードを畳み込む畳み込み実行部を含むクロックレイアウトシステムであることを要旨とする。第3ノード確定部で満たす条件は、確定第3ノードが第2ノードへ入力される信号の入力方向から90度の角度以内の方向にのみ存在する第3ノードであればよく、45度の角度以内の方向にのみ存在する第

3 ノードであれば、更に望ましい。第 3 の特徴に係る発明によれば、畳み込む対象を所定の条件を満たす確定第 3 ノードに限定することができる。

【0013】

本発明の第 4 の特徴は、論理回路の回路情報を入力する入力装置と、論理回路中の任意のノードとこの任意のノードの次に信号が伝達される次段ノードを結ぶために用いる配線方向を決定する配線方向決定部と、容量モーメント又は遅延時間が等しくなるように配線方向の配線比率を算定する配線比率算定部とを含むことを要旨とする。第 4 の特徴に係る発明によれば、ラウタビリティを向上させ、高集積密度かつ低消費電力で信号の立ち上がり特性の低下を防ぐことができる。ために用いる配線方向は、任意のノードとこの任意のノードの次に信号が伝達される次段ノードを結ぶ直線方向から 90 度未満の角度の配線方向のうち何れかの組み合わせであることが望ましい。直交配線系に加えて、斜め配線系を用いる場合は、任意のノードとこの任意のノードの次に信号が伝達される次段ノードを結ぶ直線方向の象限にある配線方向のうち何れかの組み合わせであることが望ましい。

【0014】

本発明の第 5 の特徴は、入力された回路情報を基に、ローカルエリアでは H ツリー型の構造で、グローバルエリアではスター型の構造で初期クロック配線を形成するステップと、初期クロック配線の第 1 ノードから分岐した複数の配線のうちの第 1 配線に最初に現れるノードを第 2 ノードとして特定するステップと、第 1 ノードから分岐した複数の配線のうちの第 1 配線以外の配線に 2 番目に現れるノードを第 3 ノードとして特定するステップと、第 3 ノードのうち、確定第 3 ノードを確定するステップと、第 1 ノードから確定第 3 ノードに至るまでの配線及びノードを畳み込むステップとを行うことを要旨とする。本第 5 の特徴に係る発明によれば、畳み込む対象を、所定の条件を満たす確定第 3 ノードに限定することができる。満たす条件は、確定第 3 ノードが第 2 ノードへ入力される信号の入力方向から 90 度の角度以内の方向にのみ存在する第 3 ノードであれば望ましく、45 度の角度以内の方向にのみ存在する第 3 ノードであれば、更に望ましい。

【0015】

本発明の第6の特徴は、論理回路の回路情報を入力するステップと、論理回路中の任意のノードとこの任意のノードの次に信号が伝達される次段ノードを結ぶために用いる配線方向を決定するステップと、容量モーメント又は遅延時間が等しくなるように配線比率を算定するステップとを含むことを要旨とする。本発明の第6の特徴によれば、ラウタビリティを向上させ、高集積密度かつ低消費電力で信号の立ち上がり特性の低下を防ぐことができる。配線方向は、任意のノードとこの任意のノードの次に信号が伝達される次段ノードを結ぶ直線方向から90度未満の角度の配線方向のうち何れかの組み合わせであれば望ましい。直交配線系に加えて、斜め配線系を用いる場合は、任意のノードとこの任意のノードの次に信号が伝達される次段ノードを結ぶ直線方向の象限にある配線方向のうち何れかの組み合わせであれば更に望ましい。

【0016】

【発明の実施の形態】

次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであることに留意すべきである。

【0017】

(第1の実施の形態)

図1に示すように、本発明の第1の実施の形態に係るクロック配線は、集積回路のクロック配線において、ルートドライバ700から8本の主配線（親配線）801～808が等方的に分岐し、主配線801上のバッファ601からバッファ601a、601b、601cへ枝配線（子配線）801a、801b、801cが分岐し、主配線802上のバッファ602からバッファ602aへ枝配線802aが延伸している。更に、主配線803上のバッファ603からバッファ603a、603b、603cへ枝配線803a、803b、803cが分岐し、主配線804上のバッファ604からバッファ604aへ枝配線804aが延伸している。

【0018】

任意の第1ノード（ルートドライバ700）から分岐した複数の配線801～

808のうちの配線801に最初に現れる第2ノード(バッファ601)から分岐し、第2ノード(バッファ601)へ入力される信号の入力方向から90度の角度以内の方向に存在する第3ノード(バッファ601a、601b、601c)へのみ畳み込みが行われ、クロック配線(801a、801b、801c)を接続する。そして、任意の第1ノード(ルートドライバ700)から分岐した複数の配線801~808のうちの配線802に最初に現れる第2ノード(バッファ602)から延伸し、第2ノード(バッファ602)へ入力される信号の入力方向から90度の角度以内の方向に存在する第3ノード(バッファ602a)へのみ畳み込みが行われ、クロック配線(802a)を接続する。

【0019】

更に、任意の第1ノード(ルートドライバ700)から分岐した複数の配線801~808のうちの配線803に最初に現れる第2ノード(バッファ603)から分岐し、第2ノード(バッファ603)へ入力される信号の入力方向から90度の角度以内の方向に存在する第3ノード(バッファ603a、603b、603c)へのみ畳み込みが行われ、クロック配線(803a、803b、803c)を接続する。そして、任意の第1ノード(ルートドライバ700)から分岐した複数の配線801~808のうちの配線804に最初に現れる第2ノード(バッファ604)から延伸し、第2ノード(バッファ604)へ入力される信号の入力方向から90度の角度以内の方向に存在する第3ノード(バッファ604a)へのみ畳み込みが行われ、クロック配線(804a)を接続する。

【0020】

図1では、直交配線系850に加えて斜め配線系860を用いているため、配線808上のQ1のように直交配線系850のグリッドと斜め配線系860のグリッドが交わり、8方向に配線できるノードと、Q2のように直交配線系850のグリッドと斜め配線系860のグリッドが交わらず、4方向にのみ配線できるノードがある。「信号の入力方向から45度の角度以内の方向」とは、Q1のようなノードにおける信号の入力方向から0度の角度方向、45度の角度方向、-45度の角度方向を意味し、これらの3方向の配線のうち1以上の配線が分岐又は延伸する。「信号の入力方向から90度の角度以内の方向」とは、Q2のよう

なノードにおける信号の入力方向から 0 度の角度方向、90 度の角度方向、-90 度の角度方向を意味し、これらの 3 方向の配線のうち 1 以上の配線が分岐又は延伸する。この結果、目標遅延設定のため以外の迂回配線がなくなり、バッファ 601～604 付近での配線の混雑が回避できるとともに、ラウタビリティが向上する。

【0021】

図 2 で本発明の第 1 の実施の形態に係るクロックレイアウトシステムを説明する。本発明の第 1 の実施の形態に係るクロックレイアウトシステムは、入力装置 9、中央演算処理装置（CPU）100、出力装置 17、インターフェイス 15、ホストコンピュータ 16、共通バス 20 を備える。CPU 100 は、クロック配線処理部 1、第 1 ノード特定部 2、次段ノード特定部 3、次段ノード数カウント部 4、第 2 ノード特定部 14、第 3 ノード特定部 5a、第 3 ノード確定部 5b、畳み込み実行部 11、伝播遅延調整部 8 を備える。畳み込み実行部 11 は、畳み込み対象削除部 6、畳み込み配線処理部 7 を備える。更に、本発明の第 1 の実施の形態に係るクロックレイアウトシステムは、確定第 3 ノード角度条件記憶装置 5c、回路情報記憶装置 10、読み出し専用メモリ（ROM）18、ランダムアクセスメモリ（RAM）19 を備える。

【0022】

入力装置 9 は、設計しようとする論理回路の回路情報をクロック配線処理部 1 に入力する。出力装置 17 は、CPU 100 で処理等されるデータを出力する。ホストコンピュータ 16 は、インターフェイス 15 を介して、出力装置 17 が出力するデータと同様のデータを保存し、モニター等に出力する。入力装置 9、CPU 100、出力装置 17、インターフェイス 15、ホストコンピュータ 16、確定第 3 ノード角度条件記憶装置 5c、回路情報記憶装置 10、ROM 18、RAM 19 は、共通バス 20 を介してデータのやり取りを行う。

【0023】

クロック配線処理部 1 は、入力装置 9 により入力された論理回路の回路情報を基に、半導体チップ上にルートドライバを配置し、ローカルエリアでは H ツリー型の構造で、グローバルエリアではスター型の構造でクロック配線を行う。ここ

で行うクロック配線は、設計上のクロック配線であり、現実にはクロック配線を行う必要はない。第1ノード特定部2は、クロック配線処理部1により配置されたルートドライバを先ず第1ノードとする。例えば図3(a)に示すように、先ずルートドライバ701が第1ノードとなる。次段ノード特定部3は、第1ノード特定部2で特定された第1ノードから信号伝播方向に最初に現れるノードを、次段ノードとする。図3(a)では、第1ノード701から信号伝播方向に最初に現れるバッファが次段ノード400a、400b、……となる。次段ノード数カウント部4は、次段ノード特定部3で特定された次段ノードの数を数える。第2ノード特定部14は、次段ノード特定部3で特定された次段ノードのうち1の次段ノードを第2ノードとする。図3(a)では、次段ノード400aが第2ノードであるとする。第3ノード特定部5aは、畳み込みの後に第1ノードから第3ノードへ伝播するクロックの伝播遅延が少なくとも増加しないことを条件に、第2ノードとは異なる次段ノードから信号伝播方向に最初に現れるノードを第3ノードとする。図3(a)では、第2ノード400aとは異なる次段ノード400bから信号伝播方向に最初に現れるノード401bが第3ノードであるとする。

【0024】

「畳み込み」とは、図3(a)(b)に示すように、ルートドライバである第1ノード701から分岐した複数の配線40a、b、……のうちの第1配線40aに最初に現れるノード400aを第2ノードとして特定し、第1ノード701から分岐した複数の配線40a、b、……のうちの第1配線以外の配線40bに2番目に現れるノード401bを第3ノードとして特定した後、第1ノード701から第3ノード401bに至るまでの配線40b、41b及びノード400bを削除し、第2ノード400aにおいて第1配線41cから新たな配線41eを分岐させて、第3ノード401bへ接続することをいう。図3においては、第3ノードは1つであるが、第3ノードは複数であってもよい。この場合、第1ノード701から第3ノードに至るまでの配線及びノードを削除し、第2ノード400aにおいて第1配線41cから複数の新たな配線を分岐させて、第3ノードへそれぞれ接続する。

【0025】

「畳み込みの後に第1ノードから第3ノードへ伝播するクロックの伝播遅延が少なくとも増加しないこと」とは、例えば図3(b)のように畳み込みを行った場合、第1ノード701から配線40、40a、ノード400a、配線41c、配線41eを伝播して第3ノード401bに至るまでの伝播遅延が、図3(a)における第1ノード701から配線40、40b、ノード400b、配線41bを伝播してノード401bに至るまでの伝播遅延に比し増加しないことをいう。

【0026】

第3ノード確定部5bは、第3ノード特定部5aで特定した第3ノードが、確定第3ノード角度条件記憶装置5cに記憶された条件を満たす第3ノードを、確定第3ノードとする。例えば、第3ノード確定部5bで満たす条件が、「確定第3ノードは、第2ノードへ入力される信号の入力方向から90度の角度以内の方向に存在する」である場合、第2ノード400aへ入力される信号の入力方向、即ち配線40aの方向から90度の角度以内の方向に存在する第3ノード401a、401b、……が確定第3ノードとなる。その他の条件として、「確定第3ノードは、第2ノードへ入力される信号の入力方向から45度の角度以内の方向に存在する」等がある。又、これらの条件は、複数の条件の組み合わせでもよい。例えば、図1に示すQ1のように8方向に配線できるノードでは、確定第3ノードは、第2ノードへ入力される信号の入力方向から45度の角度以内の方向に存在し、かつQ2のように4方向にしか配線できないノードでは、確定第3ノードは、第2ノードへ入力される信号の入力方向から90度の角度以内の方向に存在するという条件でもよい。

【0027】

畳み込み実行部11は、第3ノード確定部5bで確定された確定第3ノードへ畳み込みを行う。この場合、第2ノード特定部14で特定された第2ノードが駆動できる電流容量を超えるときは、畳み込み実行部11は、畳み込みができないと判断し、先ず電流容量を超えない範囲で確定第3ノードへ畳み込みを行い、残りの確定第3ノードへは他の第2ノードから畳み込みが行われる。

【0028】

畳み込み対象削除部 6 は、第 1 ノードから分岐して確定第 3 ノードに至るまでの配線及び第 1 ノードから分岐して確定第 3 ノードに至るまでの配線上のノードを削除する。例えば図 3 (a) に示す第 1 ノード 701 から分岐して確定第 3 ノード 401b に至るまでの配線 40b、ノード 400b を図 3 (b) のように削除する。畳み込み配線処理部 7 は、第 2 ノードから配線を分岐させて、確定第 3 ノードへ接続する。例えば図 3 (b) に示すように、第 2 ノード 400a から配線 41e を点 Q で分岐させて、確定第 3 ノード 401b へ接続することをいう。

【0029】

更に畳み込みの後に、第 1 ノード特定部 2 は、第 2 ノード特定部 14 により特定された第 2 ノードを新たな第 1 ノードとする。例えば図 3 (b) に示すように、畳み込みの後のノード 400a を新たな第 1 ノードとすることをいう。ノード 400a を新たな第 1 ノードとすることにより、次段ノードは図 3 (b) に示すノード 401a、401b となり、ノード 401a、401b が畳み込みの対象となる。伝播遅延調整部 8 は、クロックの伝播遅延を調整してゼロスキューを実現する。

確定第 3 ノード角度条件記憶装置 5c は、確定第 3 ノードが満たすべき角度条件が、記憶される。回路情報記憶装置 10 は、入力装置 9 により入力され、又はクロック配線処理部 1 によりクロック配線された論理回路の回路情報を記憶する。又、回路情報記憶装置 10 は、畳み込み実行部 11 により総ての畳み込みが終了した後の論理回路の回路情報を記憶する。ROM 18 は、システムを立ち上げる基本入出力システム (BIOS) を格納する。RAM 19 は、種々の情報、及び演算結果を記憶する。

【0030】

入力装置 9 により入力された回路情報、クロック配線処理部 1 によりクロック配線された論理回路の回路情報、畳み込み実行部 11 により総ての畳み込みが終了した後の論理回路の回路情報、回路情報記憶装置 10 に記憶されている回路情報を、出力装置 17 が出力する

畳み込み実行部 11 でノードを畳み込むことにより、ローカルエリアの数が多い場合であっても、ルートドライバからローカルエリアへの分岐の数を削減でき

、分岐の数の制限内でエレクトロマイグレーションの制約を守りつつ、高集積密度でクロック配線を実現できるクロックレイアウトシステム、及びクロックレイアウト方法を提供することができる。第1ノード特定部2で畳み込み後の第2ノードを新たな第1ノードとすることにより、畳み込み後の信号伝播方向へ次々とノードの畳み込みを行うことができ、畳み込みが可能なノードの総てを畳み込むことができる。第3ノード特定部5aで畳み込みが可能なノードを特定することにより、信号の伝播遅延を増加させずに確実に畳み込みを行うことができ、畳み込み後の誤動作を回避できる。第3ノード確定部5bで畳み込む第3ノードを確定することにより、セグメント及びノードの数が削減され、チップ内の面積利用効率が増大し、消費電力が低減される。伝播遅延調整部8で伝播遅延を調整することにより、クロック配線後の誤作動を回避できる。

【0031】

図2を参照しながら、図4のフローチャートで本発明の第1の実施の形態に係るクロックレイアウト方法を説明する。

【0032】

(イ) 先ずステップS201において、入力装置9により、設計しようとする論理回路の回路情報が入力される。例えば、図3(a)に示す論理回路の回路情報が入力される。

【0033】

(ロ) ステップS202において、クロック配線処理部1は、入力装置9により入力された論理回路の回路情報を基に、半導体チップ上にルートドライバを配置し、ローカルエリアではHツリー型の構造で、グローバルエリアではスター型の構造でクロック配線を行う。即ち、グローバルエリアにおいて、図9(c)に示すように半導体チップ上に設けられたルートドライバ702から複数の配線71a~76aを分岐し、スター型のクロック配線が行われる。

【0034】

(ハ) ステップS203において、クロック配線処理部1によりクロック配線された後の論理回路の回路情報を基に、第1ノード特定部2によりルートドライバが第1ノード701とされる。

【0035】

(ニ) ステップS204において、第1ノード701から複数の配線40a、40b、……に沿って信号伝播方向に最初にそれぞれ現れるノード400a、400b、……が次段ノードとして次段ノード特定部3により特定される。

【0036】

(ホ) ステップS205において、次段ノード数カウント部4により、次段ノード特定部3で特定された次段ノード400a、400b、……の数が数えられる。

【0037】

(ヘ) カウントされた次段ノード400a、400b、……が2つ以上ある場合は、ステップS206において、第2ノード特定部14は次段ノード400a、400b、……のうち1の次段ノード400aを第2ノードとする。

【0038】

(ト) ステップS207aにおいて、畳み込み後に第1ノードから第3ノードへ伝播するクロックの伝播遅延が少なくとも増加しないことを条件に、第3ノード特定部5aは図3(a)に示す第2ノード400aとは異なる次段ノード400bから信号伝播方向に最初に現れるノード401bが第3ノードとして特定される。

【0039】

(チ) 第3ノードが特定された場合は、ステップS207bにおいて、第3ノード確定部5bで、確定第3ノード角度条件記憶装置5cに記憶された条件を満たす第3ノードを、確定第3ノードを確定する。

【0040】

(リ) ステップS208aにおいて、畳み込み対象削除部6により第1ノード701から分岐して確定第3ノード401bに至るまでの配線40b、41b及びノード400bが削除される。

【0041】

(ヌ) そしてS208bにおいて、畳み込み配線処理部7により第2ノード400aから配線41d、41eに分岐して、配線41eを確定第3ノード401

bへ接続する。

【0042】

(ル) 確定第3ノードへ畳み込まれた場合は、ステップS211において、第2ノード400aが第1ノード特定部2により新たな第1ノードとされる。

【0043】

(ヲ) 新たな第1ノードを用いて更にステップS204～S208を繰り返し、ステップS211を経由して信号伝播方向へ次々とノードが畳み込まれ、総ての畳み込みが可能なノードが畳み込まれる。

【0044】

(ワ) ステップS207aにおいて、第3ノード特定部5aにより第3ノードが特定されなかった場合、ステップ207bにおいて、確定第3ノードが確定されなかった場合は、ステップS209において、伝播遅延調整部8で伝播遅延調整が行われる。

【0045】

(カ) そして最終的に、ステップS210において、クロック配線処理部1によりクロック配線される。

【0046】

これにより、ルートドライバのみならず畳み込み後のノードからも、配線が分岐するため、ローカルエリアの数が多くなっても、ルートドライバからローカルエリアへの分岐の数の制限及びエレクトロマイグレーションの制約を超えることなくクロック配線処理を行うことができる。更に、セグメント、ノードの数が削減されることにより、チップ内の面積利用効率が増大し、消費電力が低減される。

【0047】

(第2の実施の形態)

図5(b)に示すように、本発明の第2の実施の形態に係るクロック配線は、任意のノードP5とこの任意のノードの次に信号が伝達される次段ノードP6を結ぶ直線方向F1から90度未満の角度の配線方向の配線L7、L10、L11、L12からなる、目標遅延を設定のための迂回クロック配線である。即ち、図

5 (c) に示す F 2、F 3、F 4、F 9 方向の配線のうち何れかの組み合わせを用いて、クロックの伝播遅延を調整する。F 2、F 3、F 4、F 9 方向の配線は平行でないため、平行でない迂回クロック配線で目標遅延を設定でき、配線容量の増加、信号の立ち上がり特性の低下を防ぐことができる。直交配線系 850 に加えて、図 1 に示す斜め配線系 860 を用いる場合は、任意のノード P 5 とこの任意のノードの次に信号が伝達される次段ノード P 6 を結ぶ直線方向 F 1 の象限である第 4 象限にある配線方向のうち何れかの組み合わせでクロックの伝播遅延を調整することが望ましい。即ち、図 5 (c) に示す F 2、F 3、F 4 方向の配線のうち何れかの組み合わせを用いて、クロックの伝播遅延を調整する。

【0048】

図 5 (b) に示すように、配線方向 F 2、F 3、F 4 の配線でクロックの伝播遅延を調整した結果、ノード P 5 とノード P 6 を最短距離で結んだ配線 L 7、L 8、L 9 に比し、Q 3、P 6 間で冗長性がある。直交配線系 850 のグリッドの単位長さを L とすると、この冗長性は $(2 - 2^{1/2})L$ となる。このように冗長性を持たせても、近接しない配線 L 10、L 11、L 12 によりクロックの伝播遅延を調整できる。この結果、配線 L 10、L 11、L 12 による配線容量の増加を抑えることができ、ノード P 5、P 6 間を伝播する信号の立ち上がり特性の低下を防止しつつ、更に配線占有面積を増大させることなくクロックの伝播遅延を調整できる。

【0049】

図 6 で本発明の第 2 の実施の形態に係るクロックレイアウトシステムを説明する。本発明の第 2 の実施の形態に係るクロックレイアウトシステムは、入力装置 900、中央演算処理装置 (CPU) 101、出力装置 901、インターフェイス 46、ホストコンピュータ 47、共通バス 910 を備える。CPU 101 は、グルーピング部 21、グループ容量／遅延時間算定部 22、重心点算定部 23、バッファセル配置部 24、最大容量モーメント／最長遅延時間算定部 25、容量モーメント差／遅延時間差算定部 26、配線方向決定部 27、配線比率算定部 28、配線処理部 29 を備える。更に、本発明の第 2 の実施の形態に係るクロックレイアウトシステムは、グループ記憶装置 902、グループ容量／遅延時間記憶

装置 903、重心点記憶装置 904、バッファセル位置記憶部 906、最大容量モーメント／最長時間記憶装置 905、配線比率記憶装置 45、容量モーメント差／遅延時間差記憶装置 907、配線方向記憶装置 908、F／F 情報記憶装置 909、読み出し専用メモリ（ROM）48、ランダムアクセスメモリ（RAM）49を備える。

【0050】

入力装置 900は、設計しようとする論理回路のフリップフロップ（F／F）情報を入力する。出力装置 901は、CPU101で処理等されるデータを出力する。ホストコンピュータ 47は、インターフェイス 46を介して、出力装置 901が出力するデータと同様のデータを保存し、モニター等に出力する。入力装置 900、CPU101、出力装置 901、インターフェイス 46、ホストコンピュータ 47、グループ記憶装置 902、グループ容量／遅延時間記憶装置 903、重心点記憶装置 904、バッファセル位置記憶部 906、最大容量モーメント／最長時間記憶装置 905、配線比率記憶装置 45、容量モーメント差／遅延時間差記憶装置 907、配線方向記憶装置 908、F／F 情報記憶装置 909、読み出し専用メモリ（ROM）48、ランダムアクセスメモリ（RAM）49は、共通バス 910を介してデータのやり取りを行う。

【0051】

グルーピング部 21は、入力装置 900により入力された設計しようとする論理回路のF／F情報から2以上のF／F又は既にバランス木で結線された2以上のF／F群をグループ化する。グループ容量／遅延時間算定部 22は、グルーピング部 21によりグループ化された各グループの容量又は信号の伝播遅延時間を算定する。容量には、F／Fの入力容量や配線容量が含まれる。

【0052】

重心点算定部 23は、各グループの容量モーメント又は信号の伝播遅延時間が等しくなるような点（重心点）の位置を算定する。重心点の位置の算定は以下のように行う。図8に示すように、グルーピング部 21により4つにグループ化された場合、各グループの容量をC1、C2、C3、C4とし、全体の重心点G5から各グループの重心点G1、G2、G3、G4へのユークリッド距離をD1、

D2、D3、D4とすると、式(1)が成り立つ。

【0053】

$$D1 \times C1 = D2 \times C2 = D3 \times C3 = D4 \times C4 \quad \dots\dots (1)$$

式(1)を満たすG5の位置が全体の重心点となる。即ち、総ての容量モーメント($D \times C$)が等しくなる点が全体の重心点となる。又、重心点G5から各グループのF/Fへ到達する信号の伝播遅延時間が等しくなるようなG5の位置を全体の重心点としてもよい。

【0054】

バッファセル配置部24は、重心点から直近かつ適切な位置に、バッファセルを配置する。図8における重心点G5の位置は配線上にない。よって、重心点G5から直近かつ直交配線系850のグリッド及び斜め配線系860のグリッドの交点である点G6にバッファセル777を配置する。

【0055】

最大容量モーメント／最長遅延時間算定部25は、バッファセル配置部24により配置されたバッファセルから各グループの重心点へ、現実可能な最短の配線で結線した場合における、各グループの容量モーメント又はF/Fへの遅延時間のうち、最大又は最長のものを算定する。例えば図8において、バッファセル777から各グループの重心点G1～G4へ、直交配線系850及び斜め配線系860を用いて、最短距離の配線K1、K2、K3、K4で結線したとする。この場合、最大容量モーメント／最長遅延時間算定部25は、各グループの容量モーメント($D1 \times C1$ 、 $D2 \times C2$ 、 $D3 \times C3$ 、 $D4 \times C4$)又は各グループのF/Fへの遅延時間のうち、最大又は最長のものを算定する。容量モーメント差／遅延時間差算定部26は、最大容量モーメント／最長遅延時間算定部25で算定された最大容量モーメント又は最長遅延時間と、その他の経路における容量モーメント又は遅延時間の差を算定する。例えば図8において、配線K2で容量モーメント $D2 \times C2$ が最大になったとする。この場合、容量モーメント差／遅延時間差算定部26は、配線K1、K3、K4の容量モーメントと配線K2の容量モーメントの差を算定する。

【0056】

配線方向決定部 27 は、各配線におけるクロックの伝播遅延を調整する配線を決定する。決定される配線方向は、結線するノード間の直線方向から 90 度未満の角度の方向のうち何れかの組み合わせである。例えば図 5 (b) に示すように、任意のノード P 5 とこの任意のノードの次に信号が伝達される次段ノード P 6 を結ぶ直線方向 F 1 から 90 度未満の角度方向のうち何れかの組み合わせを決定する。即ち、図 5 (c) に示す F 2、F 3、F 4、F 9 方向の配線のうち何れかの組み合わせを用いて、クロックの伝播遅延を調整する。直交配線系 850 に加えて、図 1 に示す斜め配線系 860 を用いる場合は、ノード P 5 とノード P 6 を結ぶ直線方向 F 1 の象限である第 4 象限にある配線方向のうち何れかの組み合わせでクロックの伝播遅延を調整することが望ましい。即ち、図 5 (c) に示す F 2、F 3、F 4 方向の配線のうち何れかの組み合わせを用いて、クロックの伝播遅延を調整する。

【0057】

配線比率算定部 28 は、クロックの伝播遅延を調整するため、配線方向決定部 27 で決定された配線方向にどの程度の比率で配線するかを算定する。例えば図 5 (c) に示すように、F 2、F 3、F 4 方向の配線でクロックの伝播遅延を調整した結果、ノード P 5 とノード P 6 を最短距離で結んだ配線 L 7、L 8、L 9 に比し、Q 3、P 6 間で冗長性がある。直交配線系 850 のグリッドの単位長さを L とすると、この冗長性は $(2 - 2^{1/2}) L$ となる。よって L 12 の配線長を δL とすると、冗長性を設けた後の配線長は $(2 - 2^{1/2}) \delta L$ 増加するため、容量モーメントは、 $C 6 \times (2 - 2^{1/2}) \delta L$ 増加する (P 6 を重心とするグループの容量を C 6 とする)。このように、L 12 の配線比率 δ を調整することにより、容量モーメント又は遅延時間を調整することができる。このように冗長性を持たせても、近接しない配線 L 10、L 11、L 12 によりクロックの伝播遅延を調整できる。この結果、配線 L 10、L 11、L 12 による配線容量の増加を抑えることができ、ノード P 5、P 6 間を伝播する信号の立ち上がり特性の低下を防止しつつ、更に配線占有面積を増大させることなくクロックの伝播遅延を調整できる。

【0058】

配線処理部 29 は、配線比率算定部 28 により算定された配線比率に基づき、基板上に最適配線を行う。

【0059】

グループ記憶装置 902 は、グルーピング部 21 でグループ化された F/F 情報を記憶する。グループ容量／遅延時間記憶装置 903 は、グループ容量／遅延時間算定部 22 により算定された各グループ容量又は信号の伝播遅延時間を記憶する。重心点記憶装置 904 は、重心点算定部 23 により算定された重心点の位置を記憶する。バッファセル位置記憶部 906 は、バッファセル配置部 24 により配置されたバッファセルの位置を記憶する。最大容量モーメント／最長時間記憶装置 905 は、最大容量モーメント／最長遅延時間算定部 25 で算定された最大容量モーメント又は最長時間を記憶する。容量モーメント差／遅延時間差記憶装置 907 は、容量モーメント差／遅延時間差算定部 26 で算定された容量モーメント又は遅延時間の差を記憶する。配線方向記憶装置 908 は、配線方向決定部 27 により決定された配線方向を記憶する。配線比率記憶装置 45 は、配線比率算定部 28 により算定された配線比率を記憶する。F/F 情報記憶装置 909 は、入力装置 900 により入力された F/F 情報を記憶する。ROM18 は、システムを立ち上げる基本入出力システム (BIOS) を格納する。RAM19 は、種々の情報、及び演算結果を記憶する。

【0060】

図 6、図 8 を参照しながら、図 7 のフローチャートで本発明の第 2 の実施の形態に係るクロックレイアウト方法を説明する。

【0061】

(イ) 先ずステップ S300 において、入力装置 900 が設計しようとする論理回路の F/F 情報を入力する。ステップ S301 において、グルーピング部 21 は F/F 群をグループ化する。

【0062】

(ロ) ステップ S302 において、グループ容量／遅延時間算定部 22 は、グルーピング部 21 によりグループ化された各グループの容量又は信号の伝播遅延時間を算定する。

【0063】

(ハ) ステップS303において、重心点算定部23は、各グループの重心点G5の位置を算定する。ステップS304において、バッファセル配置部24は、重心点G5から直近かつ適切な位置にバッファセル777を配置する。

【0064】

(ニ) ステップS305において、最大容量モーメント／最長遅延時間算定部25は、バッファセル配置部24により配置されたバッファセル777から各グループの重心点G1～G4へ、最短の配線K1～K4で結線した場合における、各グループの容量モーメント又はF/Fへの遅延時間のうち、最大又は最長のものを算定する。

【0065】

(ホ) ステップS306において、容量モーメント差／遅延時間差算定部26は、最大容量モーメント／最長遅延時間算定部25で算定された最大容量モーメント又は最長遅延時間と、その他の経路における容量モーメント又は遅延時間の差を算定する。

【0066】

(ヘ) ステップS307において、配線方向決定部27は、各配線におけるクロックの伝播遅延を調整する配線方向を決定する。ステップS308において、配線比率算定部28は、クロックの伝播遅延を調整するため、配線方向決定部27で決定された配線方向にどの程度の比率で配線するかを算定する。

【0067】

(ト) ステップS309において、配線処理部29は、配線比率算定部28により算定された配線比率に基づき、バッファセル777から各グループへ配線を行う。

【0068】

(その他の実施の形態)

本発明の第1の実施の形態及び第2の実施の形態では、バッファを用いたが、リピータであればよい。「リピータ」とは、配線上を流れる信号の再生及び中継を行う素子をいう。

【0069】

【発明の効果】

以上説明したように、本発明によれば、ローカルエリアの数が多い場合にも、ルートドライバからローカルエリアへの分岐の数を削減でき、分岐の数の制限内でエレクトロマイグレーションの制約を守り、ラウトビリティを向上させ、高集積密度かつ低消費電力で信号の立ち上がり特性の低下を防ぎつつゼロスキューを実現できるクロック配線、クロックレイアウトシステム、及びクロックレイアウト方法を提供することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係るクロック配線の概略を示す図である。

【図2】

本発明の第1の実施の形態に係るクロックレイアウトシステムの概略を示す図である。

【図3】

(a)は、畳み込み前のクロック配線の概略を示す図である。(b)は、畳み込み後のクロック配線の概略を示す図である。(c)は、中間ノードを削除した後のクロック配線の概略を示す図である。

【図4】

本発明の第1の実施の形態に係るクロックレイアウト方法を説明するためのフローチャートである。

【図5】

(a)は、直交配線のみでクロックの伝播遅延を調整する迂回配線の概略を示す図である。(b)は、本発明の第2の実施の形態に係るクロック配線の概略を示す図である。(c)は、配線方向を示す図である。

【図6】

本発明の第2の実施の形態に係るクロックレイアウトシステムの概略を示す図である。

【図7】

本発明の第2の実施の形態に係るクロックレイアウト方法を説明するためのフローチャートである。

【図8】

F/Fの各グループの重心点近傍から配線したクロック配線を示す図である。

【図9】

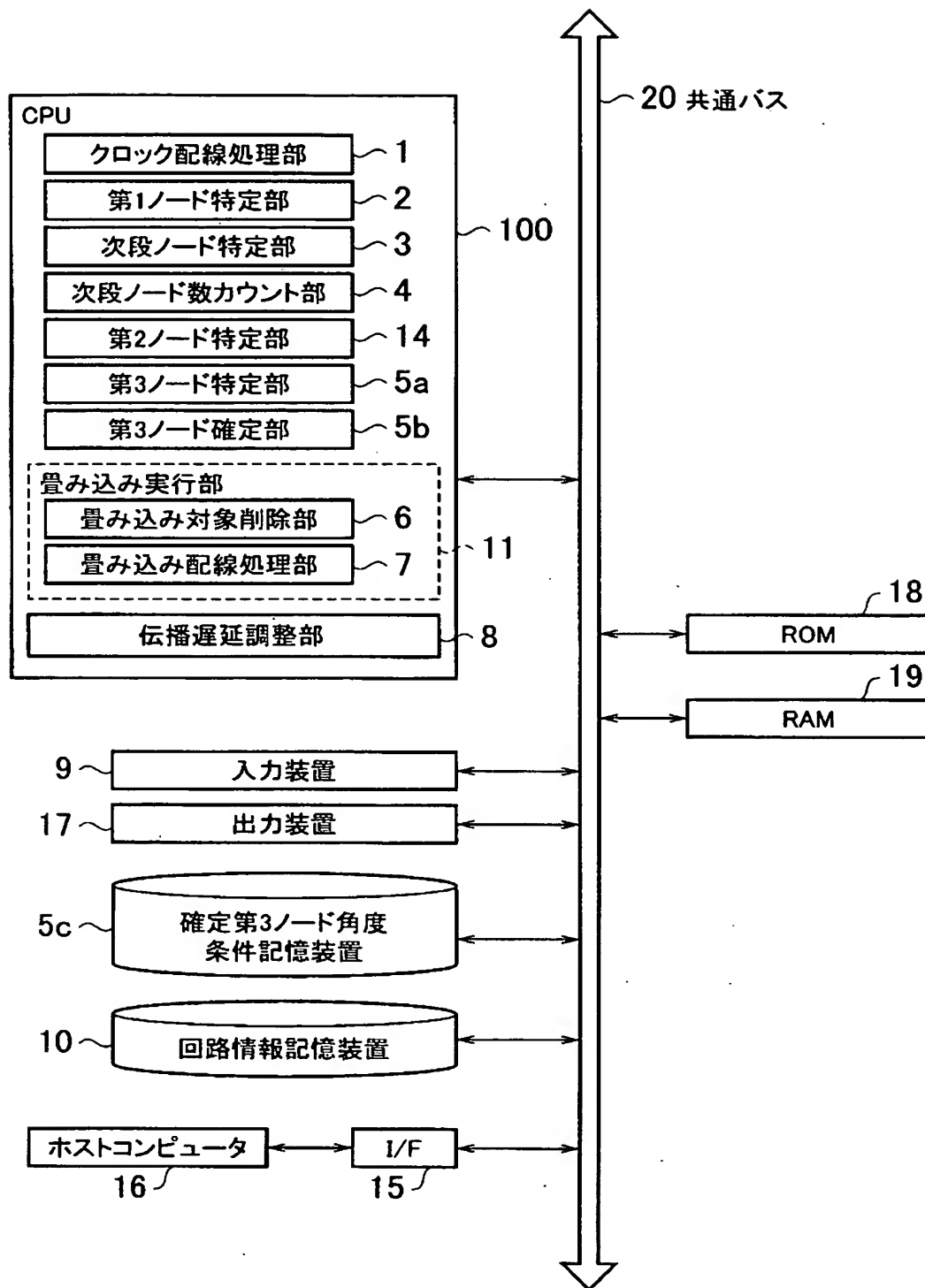
(a)は、Hツリー型の構造を用いたクロック配線の概略を示す図である。(b)は、スター型の構造を用いたクロック配線の概略を示す図である。(c)は、Hツリー型とスター型の構造を併用したクロック配線の概略を示す図である。

【符号の説明】

- 1 クロック配線処理部
- 2 第1ノード特定部
- 3 次段ノード特定部
- 4 次段ノード数カウント部
- 5 a 第3ノード特定部
- 5 b 第3ノード確定部
- 5 c 確定第3ノード角度条件記憶装置
- 6 畳み込み対象削除部
- 7 畳み込み配線処理部
- 8 伝播遅延調整部
- 9, 900 入力装置
- 10 回路情報記憶装置
- 11 畳み込み実行部
- 14 第2ノード特定部
- 15, 46 インターフェイス
- 16, 47 ホストコンピュータ
- 17, 901 出力装置
- 18, 48 ROM
- 19, 49 RAM
- 20, 901 共通バス

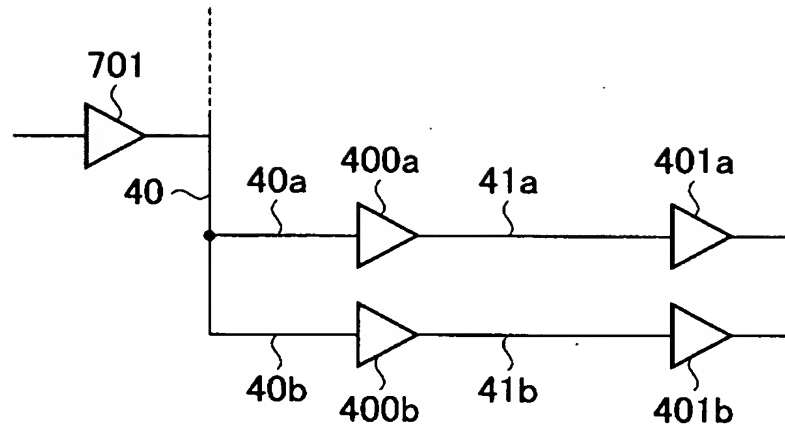
- 2 1 グルーピング部
- 2 2 グループ容量／遅延時間算定部
- 2 3 重心点算定部
- 2 4 バッファセル配置部
- 2 5 最大容量モーメント／最長遅延時間算定部
- 2 6 容量モーメント差／遅延時間差算定部
- 2 7 配線方向決定部
- 2 8 配線比率算定部
- 2 9 配線処理部
- 4 5 配線比率記憶装置
- 1 0 0, 1 0 1 C P U
- 9 0 2 グループ記憶装置
- 9 0 3 グループ容量／遅延時間記憶装置
- 9 0 4 重心点記憶装置
- 9 0 5 最大容量モーメント／最長時間記憶装置
- 9 0 6 バッファセル位置記憶部
- 9 0 7 容量モーメント差／遅延時間差記憶装置
- 9 0 8 配線方向記憶装置
- 9 0 9 F / F 情報記憶装置

【図 2】

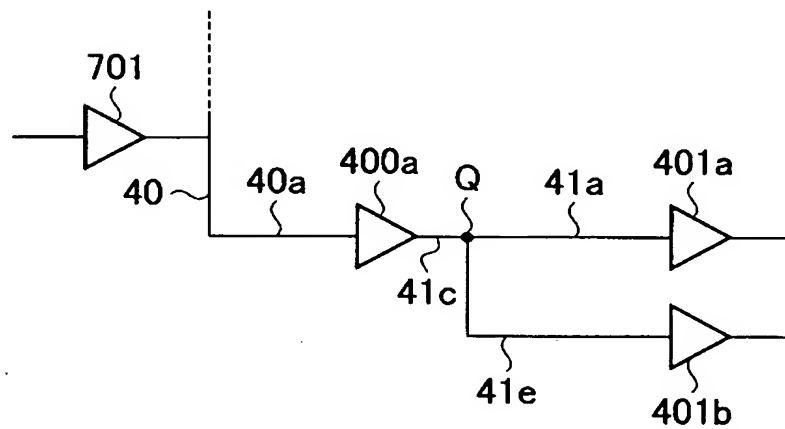


【図 3】

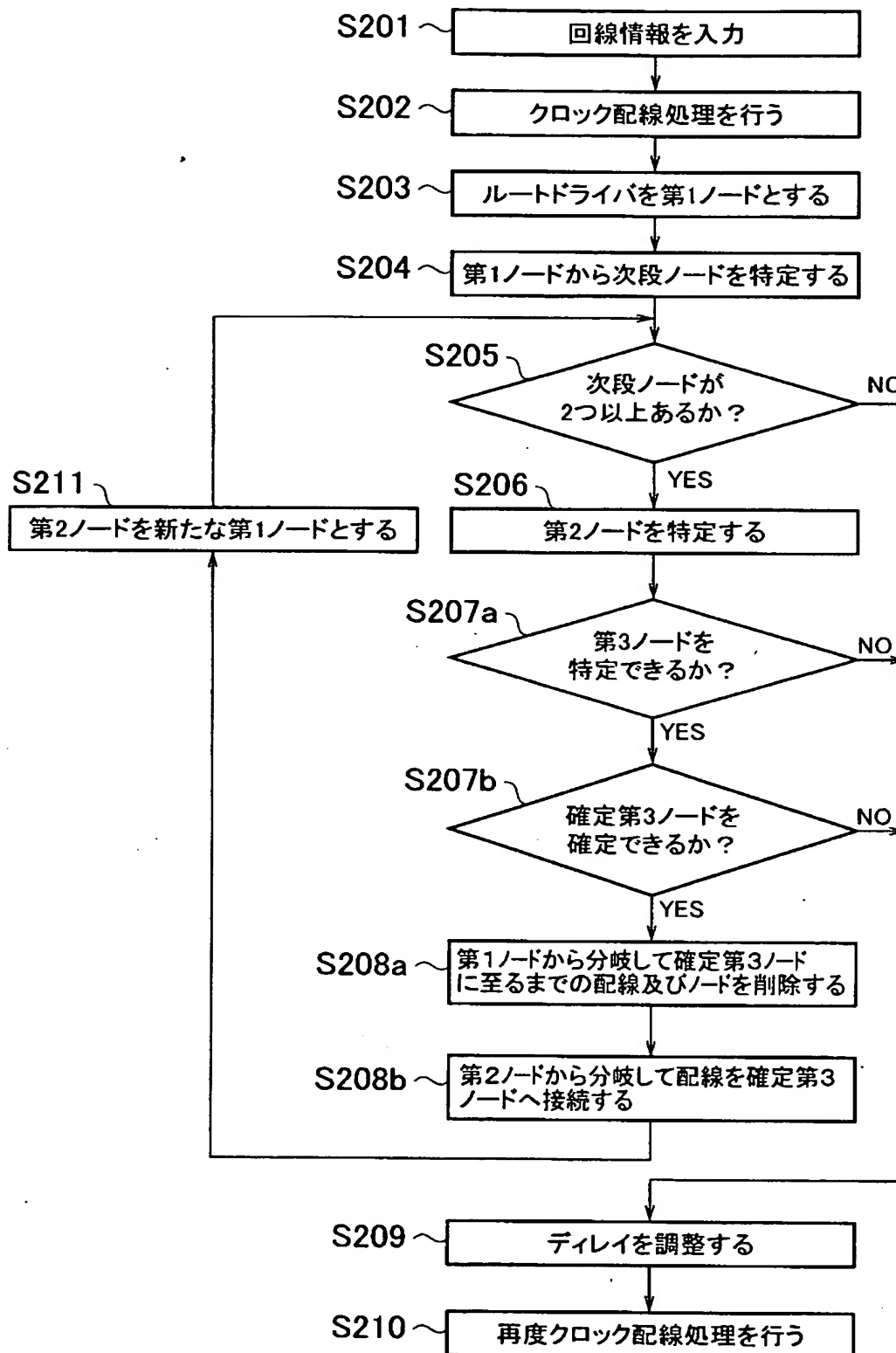
(a)



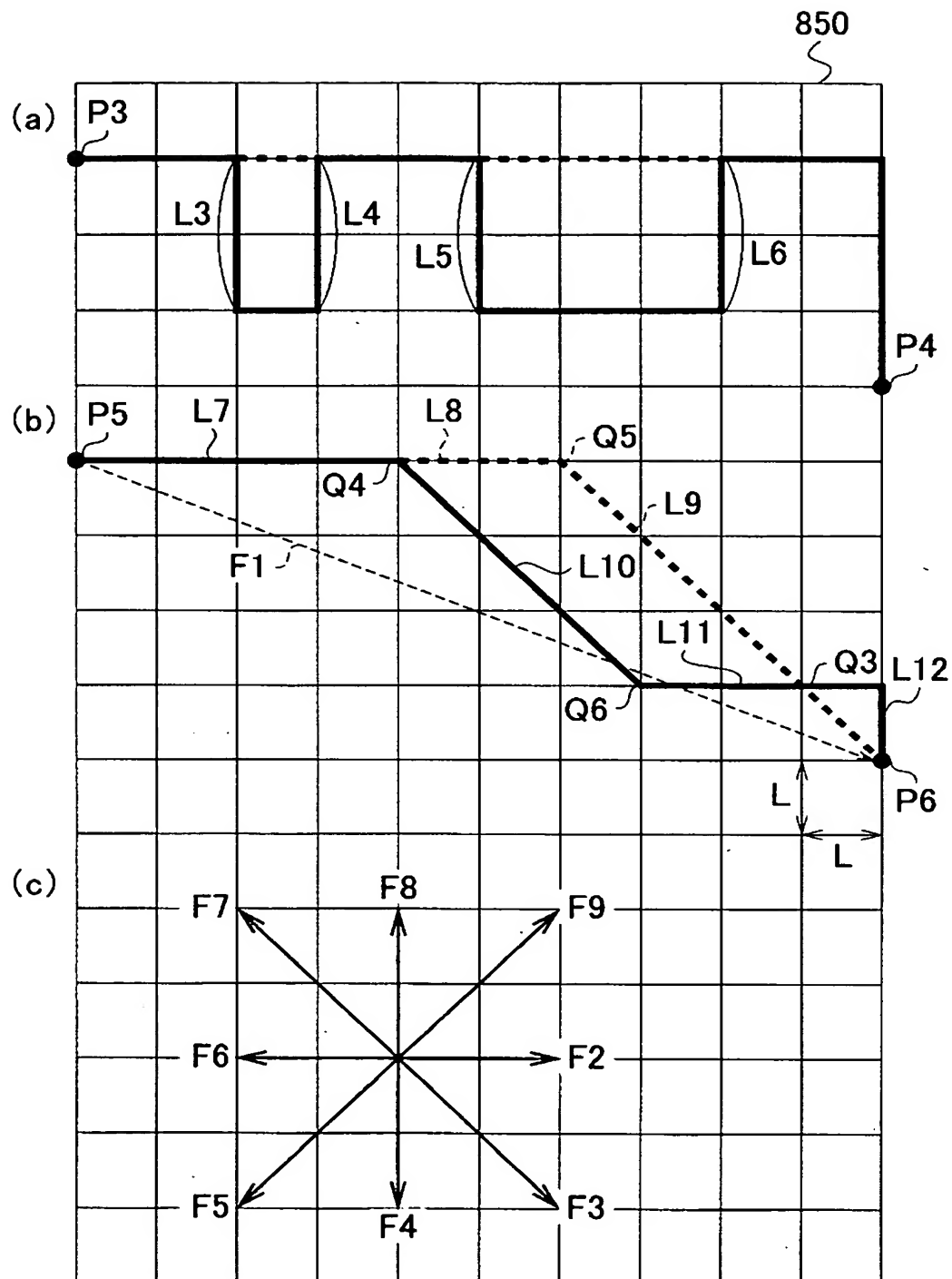
(b)



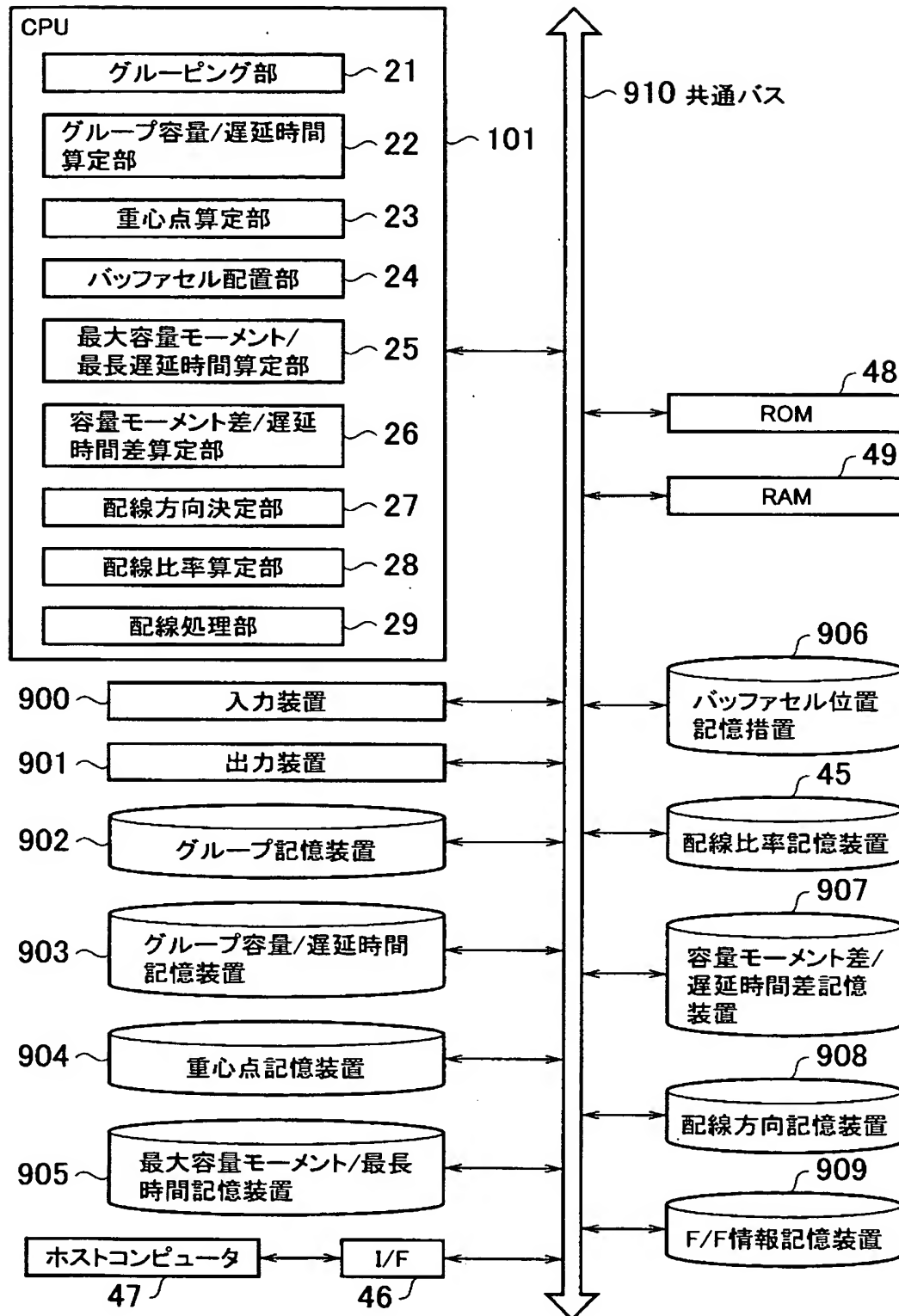
【図 4】



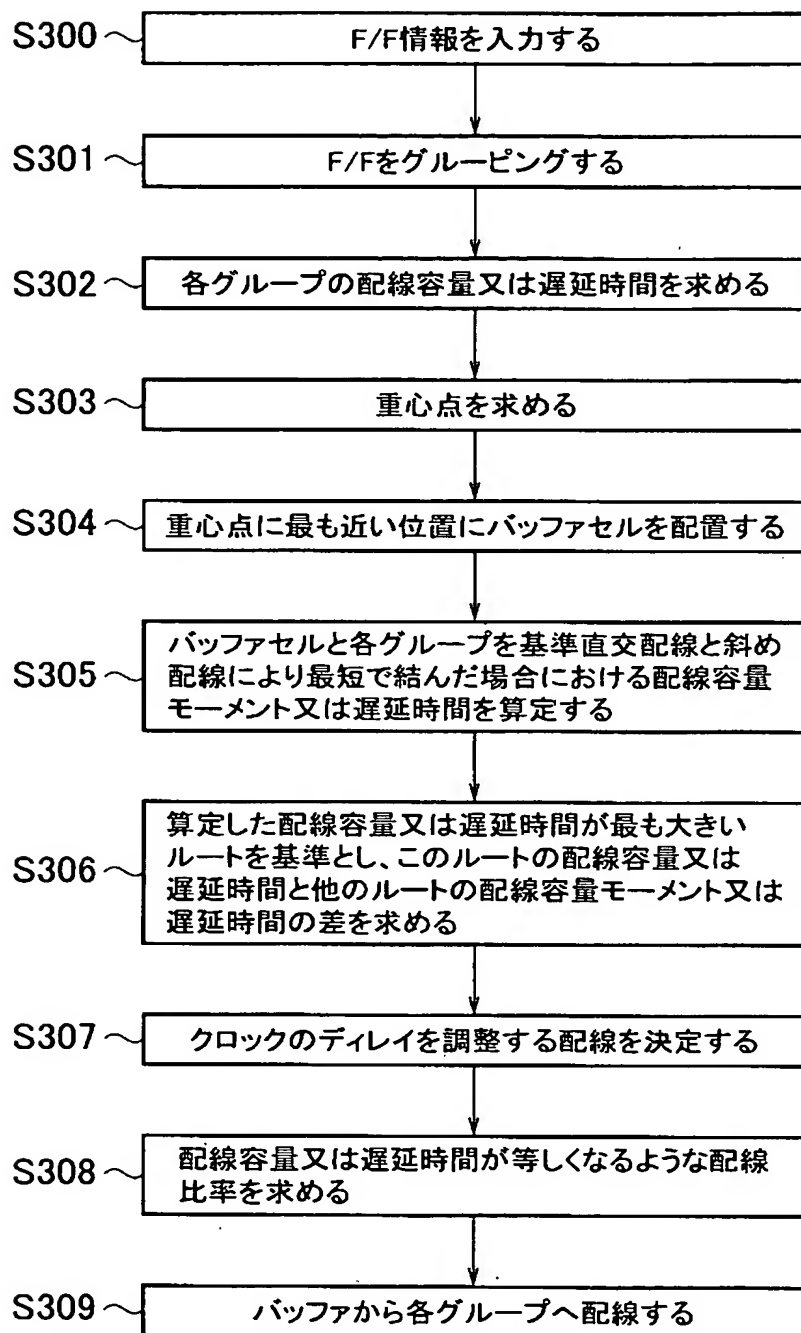
【図 5】



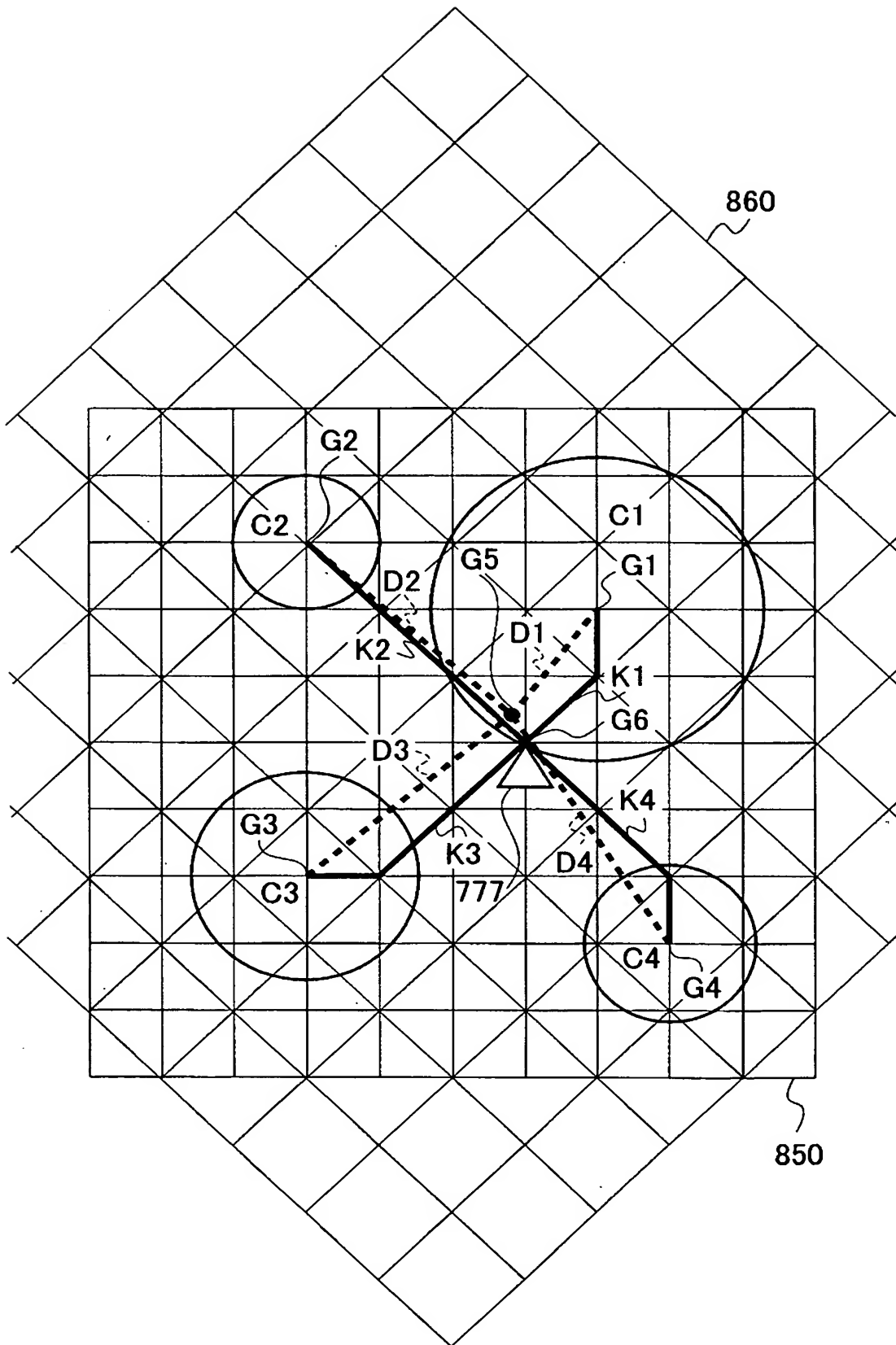
【図 6】



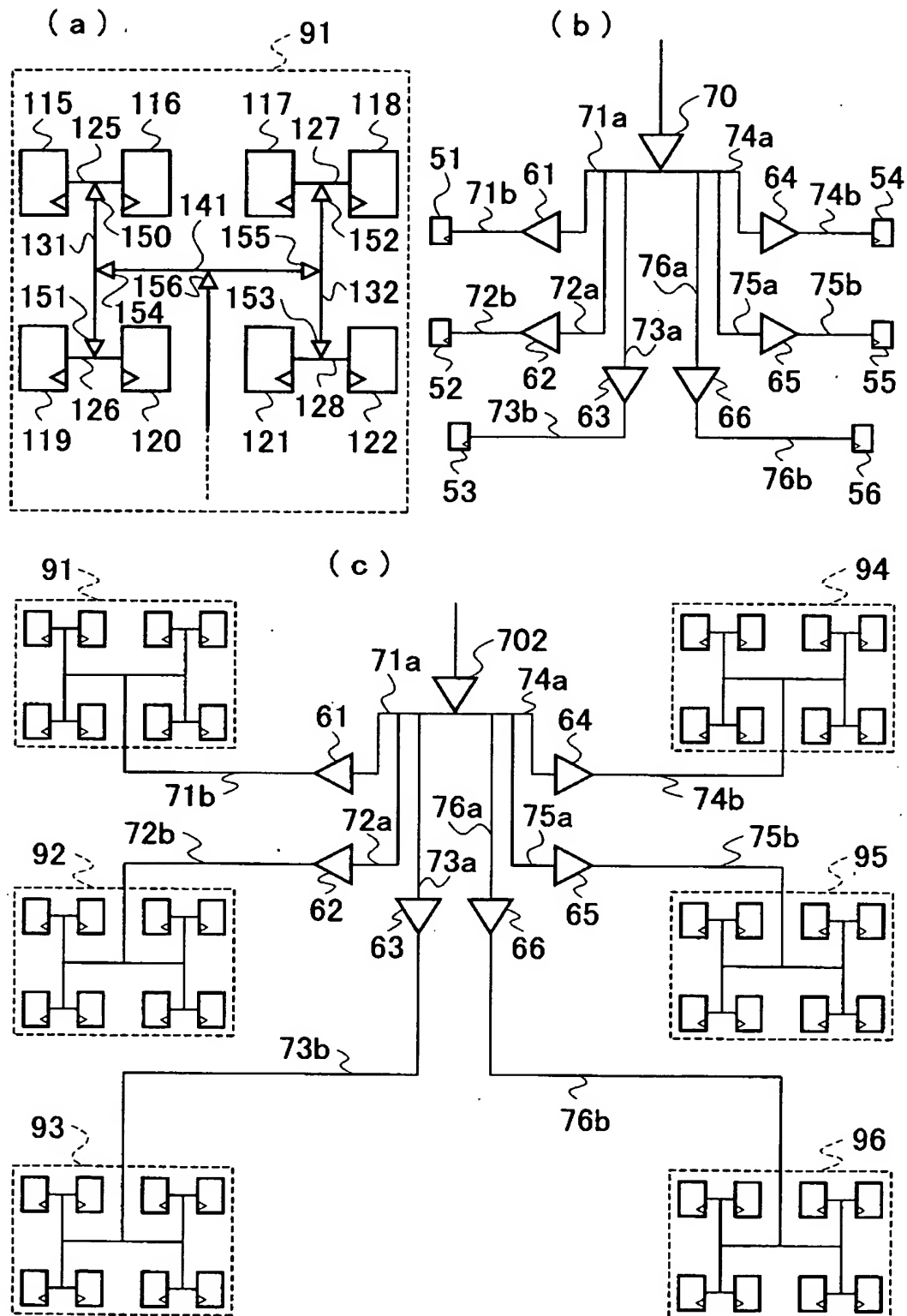
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 ローカルエリアの数が多い場合にも、ルートドライバからローカルエリアへの分岐の数を削減でき、分岐の数の制限内でエレクトロマイグレーションの制約を守り、ラウタビリティを向上させ、高集積密度かつ低消費電力で信号の立ち上がり特性の低下を防ぎつつゼロスキューを実現できるクロック配線、クロックレイアウトシステム、及びクロックレイアウト方法を提供する。

【解決手段】 集積回路のクロック配線において、任意の第1ノード（ルートドライバ700）から分岐した複数の配線801～808のうちの配線801に最初に現れる第2ノード（バッファ601）から分岐し、第2ノード（バッファ601）へ入力される信号の入力方向から90度の角度以内の方向に存在する第3ノード（バッファ601a、601b、601c）へのみ畳み込みが行われ、クロック配線（801a、801b、801c）を接続する。

【選択図】 図1

特願 2003-081321

出願人履歴情報

識別番号

[000003078]

1. 変更年月日 2001年 7月 2日
 [変更理由] 住所変更
 住 所 東京都港区芝浦一丁目1番1号
 氏 名 株式会社東芝

2. 変更年月日 2003年 5月 9日
 [変更理由] 名称変更
 住所変更
 住 所 東京都港区芝浦一丁目1番1号
 氏 名 株式会社東芝